

2015年度 前期		リフレクションペーパー					
学科名	電気通信工学科						
科目名	電子情報設計プロジェクト						
科目区分	専門科目	単位数	2	開講時期	3年前期		
必修・選択の別	必修科目(組込みシステムコース)/必修科目(電気エネルギーコース)/必修科目(情報システムコース)						
担当者	松崎 隆哲						
授業の到達目標(シラバスから)	<ul style="list-style-type: none"> <li>・与えられたテーマに対して情報収集することで、求められる仕様を策定できる。(C1)</li> <li>・仕様に基づいて設計・開発計画を立てて遂行できる。(C4)</li> <li>・開発上の問題点等に関する報告書を作成し、ミーティングを通して解決策を図ることができる。(C4,C8)</li> <li>・最終的な成果物に対して評価・検証できる。(C8)</li> <li>・視覚化の技法やユーザインタフェース設計法を学んで、分かりやすく提示できる。(C1)</li> <li>・成果物に対する報告書およびドキュメント作成ができる。</li> </ul>						
日程と内容	4/8 ガイダンス 4/15 オリエンテーションとカウンタの設計(4bit up counter) 4/22 741Cを用いたデジタル回路設計 4/25 Verilog-HDL(1) 5/13 Verilog-HDL(2) 5/20 Verilog-HDL(3) 5/27 Verilog-HDL(4) 6/3 Verilog-HDLを利用した回路設計の手順についての確認 6/10 どのような回路を設計するかについての検討 6/17 作成する回路についての仕様策定 6/24 実際の回路設計とデバック 7/1 実際の回路設計とデバック 7/8 実際の回路設計とデバック 7/15 プレゼンテーションスライド作成 7/22 発表会						
成績評価基準	定期試験			実技			
	臨時試験			部外評価			
	報告書・レポート			プレゼンテーション			50%
	課題	50%		計			100%
	演習						
授業到達目標の達成度	合格者によっては理解度に差があると思うが、合格者は授業の到達目標を達成しているといえる。						
反省点	通常時間内で成果物が完成しなかったため、進捗状況と残りの講義数に注意して、設計に対する指導をもう少し増やす方が良かったと思われる。						
来年度の計画	授業到達目標から学生自身で成果物の方向性を決めることは変更しづらいので、最初の成果物の仕様策定時に回路設計時の問題箇所を指摘するようにして、時間内に完成するようにしていきたい。						
授業評価アンケートに対するコメント	FPGA(HDL), 741Cという理解しがたい課題であるが、アンケート結果は総合評価(8.7)、理解度(4.0)、わかりやすかったか(4.0)であり、思った以上に内容を理解し満足したようであった。						
履修登録者数	12名	定期試験受験者数	12名	合格者数	12名	合格率	100%